

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-237692

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月23日

G 11 C 16/04
11/21
H 01 L 27/115

8522-5B

7131-5B
8831-5F

G 11 C 17/00 3 0 8
H 01 L 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 不揮発性多値記憶装置

⑯ 特 願 平2-33438

⑰ 出 願 平2(1990)2月13日

⑱ 発 明 者 原 田 紀 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 岡本 啓三

明 細 書

1. 発明の名称

不揮発性多値記憶装置

2. 特許請求の範囲

n 値の外部入力データ(Din)及び書き込み／読み出し制御信号(W/R)を入力してレベル選択信号(L1)、書き込み／読み出し制御信号(W/R)及び読み出し選択信号(LA)を出力する制御手段(11)と、前記レベル選択信号(L1)及び書き込み／読み出し制御信号(W/R)を入力して特定レベル量(M)を出力するレベル選択手段(12)と、前記特定レベル量(M)を素子選択信号(ADR)に基づいて格納する記憶手段(13)と、前記素子選択信号(ADR)、レベル選択信号(L1)及び読み出し選択信号(LA)に基づいて読み出された2値の出力データ(RD)を判定してn値の外部出力データ(Dout)に変換する出力値判定手段(14)とを具備し、

前記記憶手段(13)の一記憶素子が複数の量の記憶状態の内の一つの記憶状態を保持すること

を特徴とする不揮発性多値記憶装置。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第8図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

(i) 第1の実施例の説明(第2～第4図)

(ii) 第2の実施例の説明(第5図)

(iii) 第3の実施例の説明(第6図)

(iv) 第4の実施例の説明(第7図)

発明の効果

(概 要)

不揮発性多値記憶装置、特に電気的に情報の書換えが可能で電源を切っても情報が消えない性質

(不揮発性)を有するEEPROM(Electrically Erasable Programmable Read Only Memory)

や磁気記憶装置の記憶機能の拡張に関し、

該EEPROM等の記憶状態を2以下に設定することなく、書き込み/読出機能を工夫して1ビットに2値以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることを目的とし、

n 値の外部入力データ及び書き込み/読出制御信号を入力してレベル選択信号、書き込み/読出制御信号及び読み出し選択信号を出力する制御手段と、前記レベル選択信号及び書き込み/読出制御信号を入力して特定レベル量を出力するレベル選択手段と、前記特定レベル量を素子選択信号に基づいて格納する記憶手段と、前記素子選択信号、レベル選択信号及び読み出し選択信号に基づいて読み出された2値の出力データを判定して n 値の外部出力データに変換する出力値判定手段とを具備し、前記記憶手段の一記憶素子が複数の量的記憶状態の内の一つの記憶状態を保持することを含み構成する。

書き込み/読出制御回路1は、2値の外部入力データ D_{in} に基づいてアドレス ADR 、書き込み/読出制御信号 S_1 及び消去信号 S_2 を出力するものである。記憶素子2は、破線円内図に示すように一つの記憶細胞がビット線 B_L に接続された選択トランジスタ T_1 とフローティングゲート電極 FG を持つメモリトランジスタ T_2 から成る。

当該装置の機能は、外部入力データ D_{in} に基づいてデータを書き込む場合には、セレクトゲート SG を介して選択トランジスタ T_1 が活性化され、選択されたメモリトランジスタ T_2 のコントロールゲート CG がドレイン D に対して正に設定され、書き込み電圧発生回路3によりフローティングゲート電極 FG に電荷 e が注入されて閾値電圧が上げられる。

また、外部入力データ D_{in} に基づいてデータを読み出す場合には、記憶素子2にアドレス ADR を指定する。これにより、選択されたメモリトランジスタ T_2 の2値の外部出力データ D_{out} を得ることができる。

(産業上の利用分野)

本発明は、不揮発性多値記憶装置に関するものであり、さらに詳しく言えば、電気的に情報の書き換えが可能で電源を切っても情報が消えない性質(不揮発性)を有するEEPROMや磁気記憶装置の記憶機能の拡張に関するものである。

近年、データ処理装置の高機能・高性能化の要求に伴い、該処理装置が取り扱うデータは膨大な量となり、そのデータ記憶装置の記憶容量の増大化が余儀無くされている。

そこで、1ビットに2値以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることができる記憶装置の要望がある。

(従来の技術)

第8図は、従来例に係る不揮発性2値記憶装置の構成図である。

図において、EEPROM等の不揮発性2値記憶装置は、書き込み/読出制御回路1と記憶素子2及び書き込み電圧発生回路3等から成る。

なお、データを消去する場合には、コントロールゲート CG を接地してドレイン D に逆向の高電圧を印加する。これにより、電荷 e が放出されてデータが消去される。

(発明が解決しようとする課題)

ところで、従来例によればメモリトランジスタ T_2 の閾値電圧を制御することにより、一つの記憶細胞に2値のデータを記憶している。しかし、データ処理装置の高機能・高性能化の要求に伴い、該処理装置が取り扱うデータ量は膨大化の傾向にある。

このため、データ記憶装置のメモリ容量の増設化が余儀無くされている。この場合のメモリ容量は 2^n に比例するものである。

これにより、一つの記憶装置に多くのデータ記憶素子の形成要求がされることから、半導体集積回路装置の高集積化の妨げとなるという問題がある。

本発明はかかる従来例の問題点に鑑みて制作さ

れたものであり、EEPROM等の記憶状態を2以下に設定することなく、書き込み/読出機能を工夫して一つの記憶細胞に2以上の記憶状態を持たせ、データ記憶素子数の低減化を図ることを可能とする不揮発性多値記憶装置の提供を目的とする。

(課題を解決するための手段)

第1図は、本発明に係る不揮発性多値記憶装置の原理図を示している。

その装置は、 n 値の外部入力データ D_{in} 及び書き込み/読出制御信号 W/R を入力してレベル選択信号 L 1、書き込み/読出制御信号 W/R 及び読み出し選択信号 $L A$ を出力する制御手段 11と、前記レベル選択信号 L 1 及び書き込み/読出制御信号 W/R を入力して特定レベル量 M を出力するレベル選択手段 12と、前記特定レベル量 M を素子選択信号 $A D R$ に基づいて格納する記憶手段 13と、前記素子選択信号 $A D R$ 、レベル選択信号 L 1 及び読み出し選択信号 $L A$ に基づいて読み出された 2

レベル量 M が格納される。この際の前記特定レベル量 M の格納方法は、例えば EEPROM の場合には電荷注入量をフィードバック制御しながら変化させ、閾値電圧レベルを変化させることで、一つの記憶素子を 3 値の外部入力データ D_{in} に基づく 3 つの記憶状態のいずれか一の状態にすることができる。

また、データ読出時には、素子選択信号 $A D R$ に基づいて指定された記憶手段 13 の一つの記憶素子の記憶状態が制御手段 11 及び出力値判定手段 14 により判定され、判定結果が読み出し選択信号 $L A$ に基づいて 3 値の外部出力データ D_{out} として出力される。

このため、従来例の 2 値の記憶装置のメモリ容量 2^n に比べて 3 値の記憶装置のメモリ容量を 3^n に拡張することができる。このことで、データ処理装置の高機能・高性能化の要求に伴うデータ量が膨大化された場合であっても十分対応することが可能となる。

これにより、データ記憶素子数の削減をすることができることから半導体集積回路装置の高集積

値の出力データ $R D$ を判定して n 値の外部出力データ D_{out} に変換する出力値判定手段 14 とを具備し、前記記憶手段 13 の一記憶素子が複数の量的記憶状態の内の一つの記憶状態を保持することを特徴とし、上記目的を達成する。

(作 用)

本発明によれば、特定レベル量 M を素子選択信号 $A D R$ に基づいて格納する記憶手段 13 にレベル選択手段 12 と出力値判定手段 14 とが設けられている。

例えば、3 値の外部入力データ D_{in} 及び書き込み/読出制御信号 W/R を入力した制御手段 11 からレベル選択信号 L 1 がレベル選択手段 12 と出力値判定手段 14 とに、読み出し選択信号 $L A$ が出力値判定手段 14 に、書き込み/読出制御信号 W/R がレベル選択手段 12 にそれぞれ出力される。これにより、データ書き込み時には、素子選択信号 $A D R$ に基づいて指定された記憶手段 13 の一記憶素子に 3 値の外部入力データ D_{in} に基づく特定

化を図ることが可能となる。

(実施例)

次に図を参照しながら本発明の実施例について説明をする。

第2～第7図は、本発明の実施例に係る不揮発性多値記憶装置を説明する図である。

(i) 第1の実施例の説明

第2図は、本発明の各実施例の係る 3 値 EEPROM の構成図を示している。

図において、21 は制御手段 11 の一実施例となる書き込み/読出制御回路であり、3 値の外部入力データ D_{in} を入力してレベル選択信号 $S00$ 、 $S01$ 、 $S11$ 、書き込み/読出制御信号 W/R 、読出し制御信号 $S R$ 、ラッチ選択信号 (読み出し選択信号) $L A$ 及び消去/書き込み選択信号 $S E$ を出力するものである。

22 はレベル選択手段 12 の一実施例となるレベル選択回路であり、パルス信号発生回路 22a、

読出電圧発生選択回路22b、パルス電圧選択回路22c及びゲート回路22dから成る。パルス電圧選択回路22cは、書き込み制御信号SW及びレベル選択信号L1に基づいて3つの書き込みパルス電圧、例えば、20、10、0(V)を選択し、パルス信号発生回路22aからそれを選択出力させるものである。

読出電圧発生回路22bは、読出し制御信号SRに基づいて2つの読出電圧、例えば、3、5(V)を出力するものである。ゲート回路22dは、書き込み/読出制御信号W/R及び消去信号SEに基づいて書き込み或いは消去パルス又は読出電圧に切り換えて、それをワード線WL1~WLnを選択するトランジスタTW1~TWn或いは消去用トランジスタTrelに出力するものである。

23は記憶手段13の一実施例となる $m \times n$ 個のメモリ素子であり、特定レベル量Mとして電荷量を格納するものである。またメモリ素子23は、フローティングゲート電極FGを持つメモリトランジスタTMと出力信号の比較増幅回路23aから

成る。トランジスタTMのコントロールゲートCGはトランジスタTW1~TWnに、そのソースSは接地線GNDに、そのドレインDはビット線選択トランジスタTB1~TBnにそれぞれ接続される。さらに、比較増幅回路23aは出力値判定回路24に接続される。これにより、メモリトランジスタTMはビット線BL1~BLnとワード線WL1~WLnの交点によって選択されたデータが読み出される。

24は出力値判定手段14の一実施例となる比較判定出力回路であり、ラッチ回路24a、ゲート回路24b及び比較器24cから成る。ラッチ回路24aは、読出制御信号SRに基づいて2つの読出電圧3、5(V)が選択回路22bに出力されたときに、当該読出電圧のときの出力データRDを記憶するものである。また、出力データRDはラッチ選択信号LAに基づいて出力される。

ゲート回路24bは、ラッチ回路24aの出力データDRを3値の外部データDoutに変換するものである。また、比較器24cは選択されたメモリトランジスタTMから読出された出力データDRと

書き込みようとしているデータとを比較し、その比較結果を制御回路21にフィードバックするものである。

これらにより、本発明の各実施例に係る3値EEPROMを構成する。

次に、当該EEPROMの動作について説明をする。

第3図は、本発明の第1の実施例に係る書き込み時の動作フローチャートである。

図において、まず、ステップP1でアドレスADRを指定する。この際に、3値の外部入力データDinを入力した書き込み/読出制御回路21がレベル選択信号S00、S01、S11をパルス電圧選択回路22cに書き込み/読出制御信号W/Rをゲート回路22dに、書き込み制御信号SWをパルス信号発生回路22aに、それぞれ出力をする。

次いで、ステップP2でパルス信号発生回路22aを活性化してデータ書き込みをする。この際のデータ書き込みは、同図の破線円内図に示すようなパルス信号の振幅変調方式による。この変調方

式は、予め、3値の外部入力データDin=(0, 1/2, 1)に対応した書き込み電圧0(V), 10(V), 20(V)に基づいて、指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、メモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの状態を該トランジスタTMに持たせることができる。

次に、ステップP3で再び読出し処理をする。この際の読出し処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、読出し制御信号SRにより活性化された読出電圧発生回路22bが2つの読出電圧3、5(V)を2回に分けてメモリトランジスタTMのコントロールゲートCGに印加することにより行われる。

その後、ステップP4で書き込みデータ-出力データの比較判定をする。

次いで、ステップP5で他のアドレスADRの処理をする。

第4図は、本発明の第1の実施例に係る読出し時の動作フローチャートを示している。

図において、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で読出電圧発生回路22b及びラッチ1(LATCH1)を活性化して読出処理をする。この際、読出処理は、読出し制御信号SRにより活性化された読出電圧発生回路22bが読出電圧3(V)をメモリトランジスタTMのコントロールゲートCGに印加することにより行われる。

次いで、ステップP3でトランジスタTMのON/OFF動作の判定が行われ、ラッチ1に出力データDRが記憶される。

次に、ステップP4で制御回路21からの読出し制御信号SRによって読出電圧5(V)を選択する信号が読出電圧発生回路22bに与えられる。これにより、読出電圧5(V)がメモリトランジスタTMのコントロールゲートCGに印加される。この際に信号LAによりラッチ1は、不活性化さ

される。

次いで、ステップP7で他のアドレスADRの処理をする。

(ii) 第2の実施例の説明

第5図は、本発明の第2の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1の実施例と異なるのは、第2の実施例ではパルス信号発生回路22aが、パルス回数制御方式に基づいてデータ書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、パルス信号発生回路22aは書き込み制御信号SWに基づいて振幅一定であって、パルス回数が異なる書き込みパルス電圧を選択回路22cに出力するものである。

従って、書き込み時の動作は第1の実施例と同様に、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で書き込みパルスを任意

れ、ステップP3の出力データDRが保存されると同時に、ラッチ2(LATCH2)が活性化される。

さらに、ステップP5でステップP3と同様に読み出しが行われ、ラッチ2に出力データRDが記憶される。

その後、ステップP6でラッチ1、2のデータRDが出力値判定回路24bにより3値のデータに変換出力される。例えば、読出電圧3.5(V)に対して、該トランジスタTMが全て「ON」動作したときには、3値の外部出力データDout = 1を出力する。また、読出電圧3(V)に対して該トランジスタTMが「OFF」動作し、読出電圧5(V)に対して「ON」動作したときには、3値の外部出力データDout = 1/2を出力する。

さらに、読出電圧3.5(V)に対して、該トランジスタTMが全て「OFF」動作したときには、3値の外部出力データDout = 1を出力する。なお、これらの3値の外部出力データDout = (0, 1/2, 1)は、2値のデジタル信号0 → 00, 1/2 → 01又は10, 1 → 11にして伝送

回数を入力する。この際のデータ書き込みは、同図の破線円内図に示すようなパルス回数制御方式による。この制御方式は、3値の外部入力データDin = (0, 1/2, 1)に対応して、例えば書き込み回数0, 2, 4(回)に基づいて、指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、第1の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの1の状態を該トランジスタTMに持たせることができる。

次に、ステップP3で再び読出し処理をする。この際、読出し処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、第1の実施例と同様である。

その後、ステップP4で書き込みデータと出力データの比較判定をする。この際の判定も、第1の実施例と同様である。

次いで、ステップP5で他のアドレスADRの処

理をする。

なお、読出処理動作は第1の実施例と同様であるため説明を省略する(第4図参照)。

(iii) 第3の実施例の説明

第6図は、本発明の第3の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1、第2の実施例と異なるのは、第3の実施例ではパルス信号発生回路22aが、パルス幅変調方式に基づいてデータ書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、パルス信号発生回路22aは書き込み制御信号SWに基づいて振幅一定であって、パルス通電期間が異なる書き込みパルス電圧を選択回路22cに出力するものである。

従って、書き込み時の動作は第1、第2の実施例と同様に、まず、ステップP1でアドレスADRを指定する。

次いで、ステップP2で書き込みパルスの通電

理をする。

なお、読出処理動作は第1、第2の実施例と同様であるため説明を省略する(第4図参照)。

(iv) 第4の実施例の説明

第7図は、本発明の第4の実施例に係る書き込み時の動作フローチャートを示している。

図において、第1、第2、第3の実施例と異なるのは、第4の実施例ではパルス信号発生回路22aが、固定パルスを1回のみ発生し、比較回路24cと制御回路21とで出力値を監視しながら外部入力データDinと外部出力データDoutとが一致するまで書き込みをするものである。

すなわち、第2図のEEPROMの構成図において、制御回路21内に第7図に示した動作フローチャートのステップP4→P6→P2又はP7を実行することが可能なプログラムをハードウェア上で実現するものである。

この際のパルス書き込み方式は、ステップP2の破線円内図に示すように、例えば、3値の外部入力デ

ータDinを任意に変える。この際のパルス書き込みは、同図の破線円内図に示すようなパルス幅変調方式による。この変調方式は、3値の外部入力データDin = {0, 1/2, 1}に対応して、例えば書き込み通電時間 t_1 , t_2 に基づいて指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。これにより、第1、第2の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの一の状態を該トランジスタTMに持たせることができる。

次に、ステップP3で再び読出し処理をする。この際のパルス読出し処理は、予め規定されたトランジスタTMの閾値電圧になる電荷が注入されたか、否かを判定するためのものである。その処理は、第1、第2の実施例と同様である。

その後、ステップP4で書き込みデータ=出力データの比較判定をする。この際の判定も、第1、第2の実施例と同様である。

次いで、ステップP5で他のアドレスADDの処

理をする。この際のパルス書き込みは、同図の破線円内図に示すようなパルス幅変調方式による。この変調方式は、3値の外部入力データDin = {0, 1/2, 1}に対応して、通電期間 t_1 , t_2 に基づいて指定されたメモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。例えば、パルス発生「0, 1/2」に対して、ステップP3で仮読み出し処理の結果、ステップP4で書き込みデータ=出力データとなった場合に、その値が記憶されたと比較回路24cが判定し、制御回路21の次の処理が行われるまで書き込み動作が行われる。このようにして、メモリ素子23のフローティングゲートFGへの電荷注入量を変化させるものである。

これにより、第1、第2、第3の実施例と同様にメモリトランジスタTMの閾値電圧が3段階に設定され、3つの記憶状態のうちの一の状態を該トランジスタTMに持たせることができる。

なお、その他の動作は第1、第2、第3の実施例と同様であるため説明を省略する(第4図参照)。

また、第4の実施例では、第1、第2、第3の

実施例に比べて、製造プロセス精度を原因とするメモリ素子23のバラツキに対して固定パルスを1回加える毎に書き込みデータ=出力データを判定することにより、他の書き込み動作に比較して高速化を図ることができる。

このようにして、本発明の各実施例によれば、電荷量を格納する複数のメモリ素子23にレベル選択回路22と出力値判定回路24とが設けられている。

このため、データ書き込み時には、アドレスADRに基づいて指定されたメモリ素子23のメモリトランジスタTMに3値の外部入力データDinに基づく電荷量がフィードバック制御されながら変化し、閾値電圧レベルを変化させることで、該トランジスタTMを3値の外部入力データDinに基づく3つの記憶状態のいずれか一の状態にすることができる。

また、データ読出し時には、アドレスADRに基づいて指定されたメモリ素子23の一つのトランジスタTMの記憶状態が出力値判定回路24により

判定され、その判定結果に基づいて3値の外部出力データDout = (0, 1/2, 1) が出力される。

このため、従来例の2値の記憶装置のメモリ容量2ⁿに比べて3値の記憶装置のメモリ容量を3ⁿに拡張することができる。このことで、データ処理装置の高機能・高性能化の要求に伴うデータ量が膨大化された場合であっても十分対処することが可能となる。

これにより、データ記憶素子数の削減をすることができることから半導体集積回路装置の高集積化を図ることが可能となる。

なお、本発明の各実施例では特定レベル量Mに電荷量を用いた3値のEEPROMの場合について述べたが、それ以上のn値のEEPROMについてもトランジスタ特性が許容される限り、メモリ容量の削減を図ることができる。また、該特定レベル量Mに磁荷量を用いる磁気記憶装置についても同様な効果が得られる。

(発明の効果)

以上説明したように、本発明によれば記憶手段の一記憶素子に3値の外部入力データに基づく電荷量を格納することによって、該素子を3つの記憶状態のいずれか一の状態にすることができる。

このため、指定された記憶素子の3つの記憶状態のいずれかを判定出力することにより、記憶装置のメモリ容量を3ⁿに拡張することができる。このことで、データ記憶素子数の削減が図られ、半導体集積回路装置の高集積化をすることが可能となる。

これにより、膨大なデータ量を扱うデータ処理装置の高機能・高性能化に寄与するところが大きい。

4. 図面の簡単な説明

第1図は、本発明に係る不揮発性多値記憶装置の原理図、

第2図は、本発明の各実施例に係る3値EEPROMの構成図、

第3図は、本発明の第1の実施例に係る書き込み時の動作フローチャート、

第4図は、本発明の第1の実施例に係る読出し時の動作フローチャート、

第5図は、本発明の第2の実施例に係る書き込み時の動作フローチャート、

第6図は、本発明の第3の実施例に係る書き込み時の動作フローチャート、

第7図は、本発明の第4の実施例に係る書き込み時の動作フローチャート、

第8図は、従来例に係る不揮発性2値記憶装置の構成図である。

(符号の説明)

11…制御手段、

12…レベル選択手段、

13…記憶手段、

14…出力値判定手段、

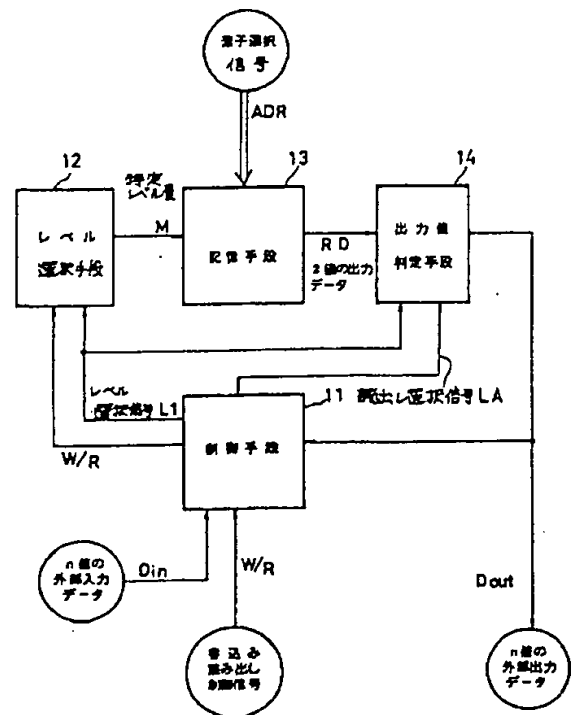
15…制御手段、

L1…レベル選択信号、

LA…読み出し選択信号、

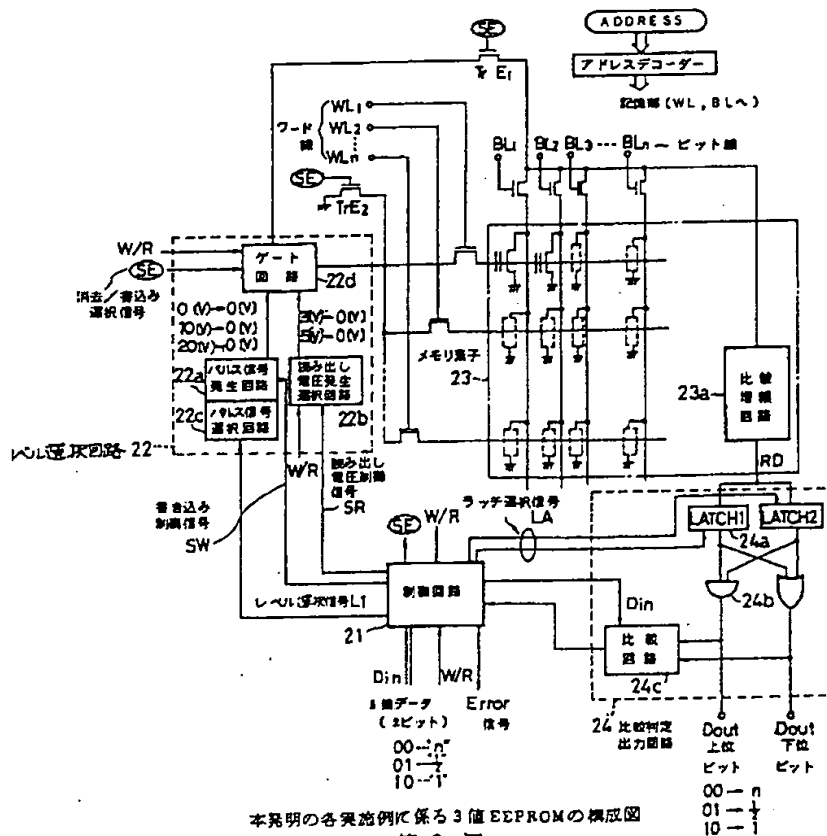
W/R ...書き込み/読出制御信号、
 ADR ...素子選択信号、
 M ...特定レベル量、
 Din ... n 値の外部入力データ、
 DR ... 2 値の出力データ、
 Dout ... n 値の外部出力データ。

特許出願人 富士通株式会社
 代理人弁理士 岡本 啓三



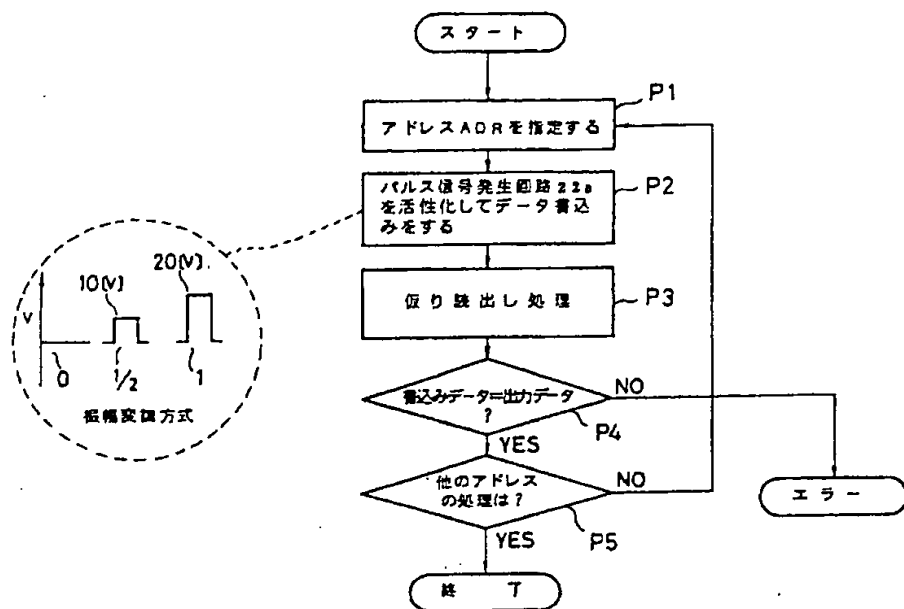
本発明に係る不揮発性多値記憶装置の原理図

第 1 図



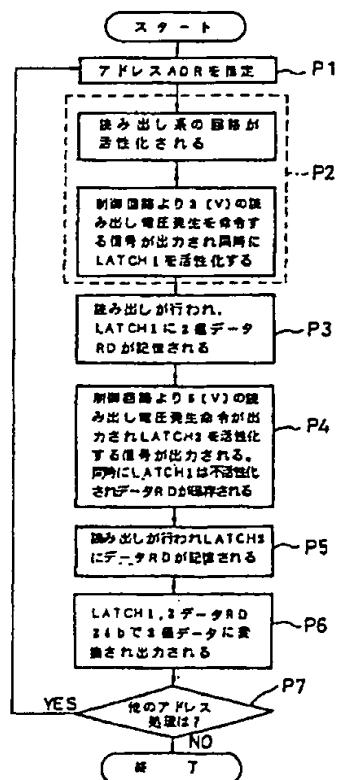
本発明の各実施例に係る 3 値 EEPROM の構成図

第 2 図



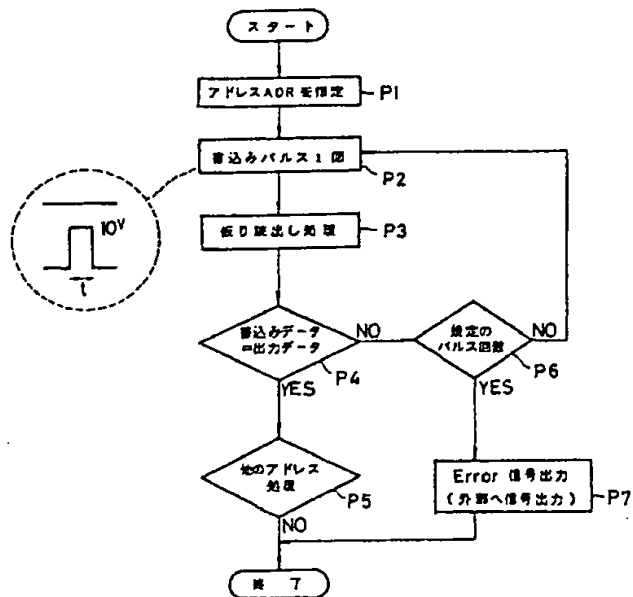
本発明の第1の実施例に係る書き込み時の動作フローチャート

第3図



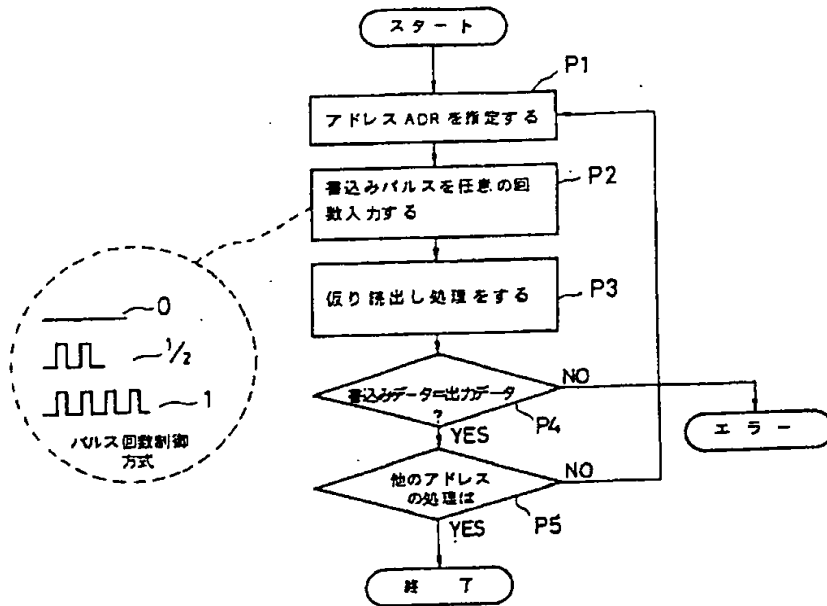
本発明の第1の実施例に係る読み出し時の動作フローチャート

第4図



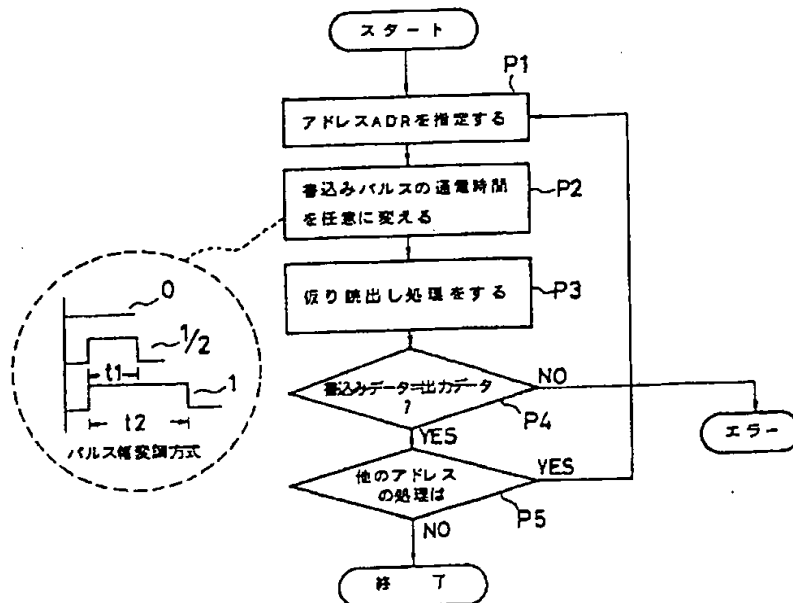
本発明の第4の実施例に係る書き込み時の動作フローチャート

第7図



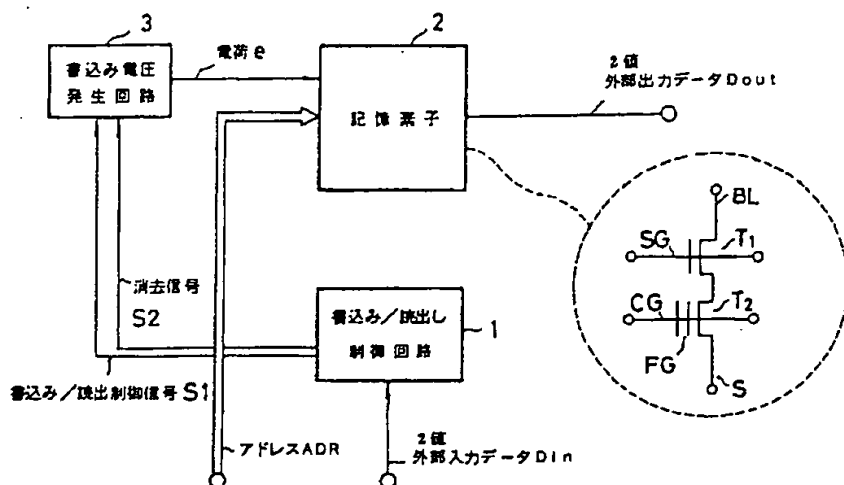
本発明の第2の実施例に係る書き込み時の動作フローチャート

第5図



本発明の第3の実施例に係る書き込み時の動作フローチャート

第6図



従来例に係る不揮発性2値記憶装置の構成図

第8図